

PAT-NO: JP410336211A

DOCUMENT-IDENTIFIER: JP 10336211 A

TITLE: ATM CONTROLLER FOR AUTOMATICALLY
SELECTING RECEPTION MEMORY IN OPTIMUM SIZE

PUBN-DATE: December 18, 1998

INVENTOR-INFORMATION:
NAME
OOTO, YOSHINOBU

ASSIGNEE-INFORMATION:
NAME COUNTRY
NEC CORP N/A

APPL-NO: JP09157722

APPL-DATE: May 30, 1997

INT-CL (IPC): H04L012/28, H04L012/56 , H04Q003/00

ABSTRACT:

PROBLEM TO BE SOLVED: To reduce software processing at a CPU and frequency of the occurrence of under run by selecting a reception buffer memory in a suitable size corresponding to the cell rate of channel to be received.

SOLUTION: A CPU 5 previously secures a reception buffer memory area for received data storage in a memory 6. The number of pointer areas 8, the number of data buffers 7 to be bundled in each pointer area 8 and the size of buffer 7 are set to be respectively different. When a cell is received, an ATM

controller 3 sets a VPI/VCI value provided at its header part to a header table 3-2 and stores the value of timer 3-3 at such a point of time. By referring to the counter value of timer 3-3 and comparing it with a previous value, the cell rate of that channel is known. Corresponding to the interval time of cells, the ATM controller 3 selects the correspondent reception buffer memory.

COPYRIGHT: (C)1998,JPO

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-336211

(43)公開日 平成10年(1998)12月18日

(51)Int.Cl.⁹

識別記号

F I

H 0 4 L 12/28

H 0 4 L 11/20

E

12/56

H 0 4 Q 3/00

H 0 4 Q 3/00

H 0 4 L 11/20

1 0 2 B

審査請求 有 請求項の数 3 F D (全 7 頁)

(21)出願番号 特願平9-157722

(22)出願日 平成9年(1997)5月30日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 大音 嘉信

東京都港区芝五丁目7番1号 日本電気株式会社内

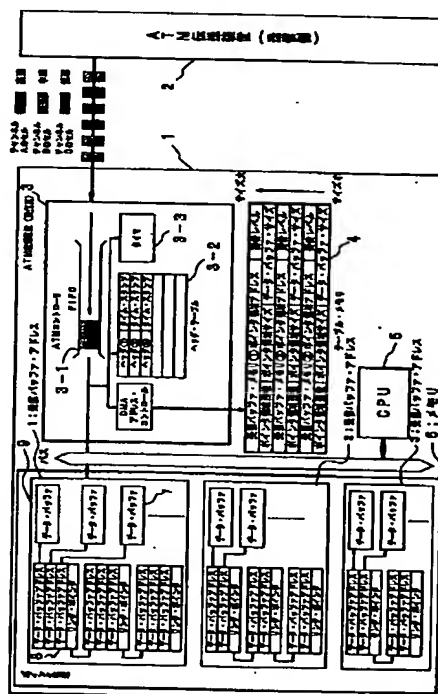
(74)代理人 弁理士 加藤 朝道

(54)【発明の名称】 最適なサイズの受信メモリを自動で選択するATMコントローラ

(57)【要約】

【課題】CPUのソフトウェア処理の軽減、アンダーランの発生の頻度の軽減に貢献するため、受信するチャネルのセル・レートに応じて、適した大きさの受信バッファ・メモリを自動的に選択するATMコントローラの提供。

【解決手段】ATMネットワーク上のルータ装置や端末のアダプタ・カードに実装されるATMコントローラに、受信チャネルごとのセルの間隔時間を観測し、それにより把握したセル・レートに応じて、CPUが予め大きさを段階的に分けて用意した受信バッファ・メモリの中で適切なものを選択する手段を設ける。



【特許請求の範囲】

【請求項1】ATMネットワーク上のルータ装置やアダプタ・カードに実装され、着信するセルを受信すべきかを判断し、ヘッダ分離や誤り符号のチェックなどの処理を行った後、外部の受信バッファ・メモリのアドレス情報、及び受信バッファ・メモリの残量をテーブルに保持しておき、そのアドレスに従って転送しバケットを復元するATMコントローラにおいて、複数チャネルのセルを同時に受信した場合に、個々のチャネルのセル・レートを一定期間観測する手段と、前記手段により得られた情報により、チャネルのレートとサイズの特徴が異なる受信バッファ・メモリのアドレスを対応付けてチャネルに適した受信バッファ・メモリを自動で選択する手段と、を有することを特徴とするATMコントローラ。

【請求項2】請求項1記載のATMコントローラがLSI（半導体集積回路）で構成されていることを特徴とするATMコントローラ。

【請求項3】ATMネットワーク上のルータ装置や端末のアダプタ・カードに実装されるATMコントローラに、受信チャネルごとのセルの間隔時間を観測し、予めサイズを段階的に分けて用意した受信バッファ・メモリの中から、セル・レートが速いチャネルに対しては大きい受信バッファ・メモリを、低速のチャネルに対しては小さい容量の受信バッファ・メモリを割り当てるという具合に、把握したセル・レートに応じて最適な受信バッファメモリを選択する手段を備えた、ことを特徴とするATMコントロール装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、ルータ装置やアダプタ・カードに実装され、ATM（Asynchronous Transfer Mode；非同期転送モード）伝送方式を実現するATMコントローラに関し、特に、受信すべきセルを検出し、一度受信バッファ・メモリに格納する機能を有するATMコントロールLSIに関する。

【0002】

【従来の技術】ATM伝送方式において、送信装置は、任意長で構成されるバケットを48バイト固定長に分割し、それぞれに5バイトのヘッダを加え、53バイトのセルとし、それを一定時間内に流す数を制御して伝送路に送出する。

【0003】受信側の装置では、このセルが着信する度に、受信すべきセルか否かを判断し、ヘッダ分離や誤り符号のチェックなどの適切な処理を行った後、受信メモリに転送してバケットを復元する。

【0004】このようなATM伝送方式では、送受信側の伝送装置が固有に持つセルの処理能力の相違から、セル廃棄が生じる場合がある。セル廃棄が起こる原因の一つに、受信側の受信バッファ・メモリ・アンダーランが

ある。

【0005】受信バッファ・メモリ・アンダーランは、装置内の受信バッファ・メモリが全て消費されたとき、メモリを補充しようとする以前に次のセルが到着してしまい格納先が得られない場合に発生する。

【0006】アンダーラン状態によるセル廃棄が生ずると、そのバケットの再送処理が行われ、再送バケットが回線上を行き交うことにより、回線活用上の非効率に繋がる。

10 【0007】通常、図2に示すように、ATM伝送方式を用いた伝送装置の受信側は、主にATMプロトコル機能の一部をハードウェアで実現するATMコントロールLSI3、受信メモリアドレスを格納するテーブルとして使用するテーブル・メモリ4、コントローラの制御、及びメモリの管理をするCPU5、受信バケットを格納するメモリ6で構成される。

【0008】CPU5が実行するソフトウェアは、まず受信データを格納する受信バッファ・メモリ領域を確保し、そのアドレス情報を、ATMコントローラLSI3がアクセスするテーブル4に設定する。

20 【0009】ATMコントローラLSI3は、セルが着信する度に、テーブル・メモリ4にアクセスし、そのセル・データを格納する受信メモリ6のアドレスを取得して転送する。ATMコントロールLSI3は、受信メモリ領域の残量が少なくなると、割り込み信号などの手段を通じてCPU5に警報を発する。警報を受けたCPU5はメモリの追加、補充を実行する。

30 【0010】受信バッファ・メモリの空きが零（0）に到達するよりも、CPU5がソフトウェアで行うメモリ補充の処理が十分に早ければ、アンダーランは発生することは無い。しかし、相手局との間に張るチャネルが多数になると、受信バッファ・メモリの数も増え、補充する処理頻度が上がり、CPU5の処理がより厳しくなる。

【0011】CPUがメモリ補充する頻度は、予め受信バッファ・メモリに割り当てられるメモリ容量の大きさと警報を通知する境界線の設定、更に着信するセル・レートに依存する。

40 【0012】自局の装置に実装するメモリ容量、及びCPUの処理速度などは把握できるが、相手局からのセル・レートは相手局の送信能力、上位に走るアプリケーションなどによって異なるため、事前に把握できるケースは少なく受信してみなければ分からないケースも多々ある。

【0013】どのようなセル・レートのチャネルでも対応できるように十分なメモリ領域を確保することが望ましい。しかし、たくさんのメモリの実装はシステムのコストアップになるため、避けるべきであり、限られたメモリ容量を有効活用する方法が要求される。

50 【0014】従来の技術では、メモリ容量の割り当て

は、装置が導入される環境条件から、相手局との間で張るチャンネル数、あるいは各チャンネルのレートを推算して決めるケースが多い。

【0015】相手局との間でやりとりするパケットの中でも、そのVPI/VCI (Virtual Path Identifier/Virtual Channel Identifier) の値から把握できるシグナリング用パケット、リソース・マネジメント・セル、OAM (Operation, Administration, Maintenance) セルなどは、パケットのサイズも小型であることが把握できるため、それらを格納するためには比較的小さい受信バッファ・メモリを用意する。

【0016】他の一般データをやりとりするチャンネル用には、一元的に決まったサイズを割り当てる。このように静的に複数種の大きさを持つ受信バッファ・メモリを用意した。

【0017】また、設定したメモリ容量とCPUの処理能力から装置が許容できるセル・レート及び同時に張れるチャンネル数が把握できる。

【0018】相手局と自局が共にCAC (Connection Admission Control) 制御方式をサポートしている場合は、相手局よりチャンネルの接続要求があった場合に、セル廃棄率を推定し、セル廃棄率が予め定められた許容セル廃棄率以下となる場合にのみ接続を許可するという方式もある。

【0019】

【発明が解決しようとする課題】従来のATMコントローラにおけるメモリ設定方式では、決まったメモリ資源から、いかなるチャンネルに対しても受信バッファ・メモリ領域が固定的に割り当てられているか、あるいは、レートを予め推測に基づいて割り当てられている。

【0020】このうち、固定的に割り当てられる場合、セル・レートが速いために、補充処理が頻繁に発生する受信バッファ・メモリに、低速であるため余裕のある受信バッファ・メモリを使用することができず、多種類のセル・レートに応じてメモリ領域を効率よく割り当てることができない。チャンネルのセル速度、タイプによってはその空きメモリ領域を用いることができない。

【0021】後者の場合、予測したレートと実際のセル・レートに大幅な相違が生じた場合に、メモリ補充が間に合わないという可能性がある。

【0022】限られたメモリ容量を各チャンネルに受信バッファ・メモリとして割り当てる場合、CPUのソフトウェア処理を軽減し、アンダーランを回避するためにもセル・レートが速いチャンネルに対しては、容量の大きい受信バッファ・メモリを、遅いレートのチャンネルに対しては容量の小さい受信バッファ・メモリを割り当てられていることが望ましい。

【0023】したがって、本発明は、上記問題点に鑑みてなされたものであって、その目的は、CPUのソフトウェア処理の軽減、アンダーランの発生の頻度の軽減に

貢献するため、受信するチャンネルのセル・レートに応じて、適した大きさの受信バッファ・メモリを自動的に選択するATMコントローラを提供することにある。

【0024】

【課題を解決するための手段】前記目的を達成するため、本発明のATMコントローラは、複数チャンネルのセルを同時に受信した場合に、個々のチャンネルのセル・レートを一定期間観測する手段と、前記手段より得た情報により、チャンネルのレートとサイズ特性が異なる受信バッファ・メモリのアドレスを対応付けてチャンネルに適した受信バッファ・メモリを自動で選択する手段と、を有することを特徴とする。

【0025】

【発明の実施の形態】本発明の実施の形態について以下に説明する。本発明の実施の形態においては、ATMネットワーク上のルータ装置や端末のアダプタ・カードに実装されるATMコントローラに、受信チャンネルごとのセルの間隔時間を観測し、これにより把握したセル・レートに応じて、CPUが予め大きさを段階的に分けて用意した受信バッファ・メモリの中で適切なものを選択する手段を備えたことを特徴としたものである。

【0026】本発明の実施の形態においては、実際に着信するセルの間隔をモニタしてチャンネルのセル・レートを把握し、予め大きさを段階的に分けて用意した受信バッファ・メモリからセル・レートが速いチャンネルに対しては大きい受信バッファ・メモリを、低速のチャンネルに対しては小さい容量の受信バッファ・メモリを割り当てる。

【0027】これにより、チャンネルのセル・レートに応じて適した受信バッファ・メモリをダイナミックに選択することによって、CPUのメモリ補充の処理が急務になることを避け、アンダーランが発生する可能性を削減し、伝送路の活用効率を下げないことに貢献する。また、メモリ資源を効率的に使用することができる。

【0028】すなわち、セル・レートの遅いチャンネルが無用に大きな受信バッファ・メモリをシェアすることを無くし、無駄な空き領域を少なくする。また、速いチャンネルに対して小さいセル受信バッファ・メモリを与えることが無くなるため、CPUが頻繁にメモリ容量を補充しなくても済むようになる。

【0029】

【実施例】上記した本発明の実施の形態について更に詳細に説明すべく、本発明の実施例について図面を参照して以下に説明する。

【0030】本発明の一実施例のATMコントローラは、セル・レートをモニタし、得たセル・レートに従って、複数種のサイズで準備する受信バッファ・メモリの内から最適なものを選択することができる手段を組み込んだものである。

【0031】図1は、ATM伝送装置1に実装されるA

TMコントローラに本発明を適用した場合の一実施例の構成を示す図である。

【0032】図1を参照すると、受信を開始する前、CPU5が実行するソフトウェアは、予め受信データ格納用の受信バッファ・メモリ領域をメモリ6に確保する。1つの受信バッファ・メモリ領域は実際に受信データが格納されるデータ・バッファ7、そのデータ・バッファを指し示すアドレスを複数束ねたポインタ領域8で構成される。

【0033】それぞれのポインタ領域の最終段には、次のポインタ領域を指し示すリンク・ポインタを設定し、各ポインタはチェーン状にリンクさせる。

【0034】受信バッファ・メモリ領域の数は、受信チャンネル数、装置のメモリ搭載量に依存するが、本実施例では、3つの受信バッファ・メモリ領域を用意する場合を例とする。

【0035】受信バッファ・メモリ領域1は、セル・レートが高速で、且つ1パケットのサイズが大きいチャンネルのデータを格納することを想定し、ポインタ領域の数、1つのポインタ領域が束ねるデータ・バッファの数を多くし、更に個々のデータ・バッファ自体のサイズも大きく確保する。残る受信バッファ・メモリ2、受信バッファ・メモリ3も同時に、設定するが、ポインタ領域の数、ポインタ領域に束ねられるデータ・バッファの数、データ・バッファ自体のサイズは、
(受信データ・バッファ1) > (受信データ・バッファ2) > (受信データ・バッファ3)
となるよう設定する。

【0036】続いて、CPU5の処理は、その受信バッファ・メモリ領域の先頭ポインタ領域を指し示すアドレスを、ATMコントローラ3のアクセスするテーブル・メモリ4に設定する。

【0037】このとき、テーブル・メモリ4に設定するアドレスの位置は、受信データ・バッファ領域のサイズに応じて設定する箇所を決める。すなわち、ATMコントローラ3が、受信バッファ・メモリの大きさ順を判別できるように設定方法に規制を設ける。

【0038】本実施例では、テーブル・メモリ4のアドレスが若い方から順に、サイズの大きい受信バッファ・メモリ1、次のアドレスに受信バッファ・メモリ2と設定する。

【0039】テーブル・メモリ4には、個々の受信バッファ・メモリ領域の未使用ポインタ領域、データ・バッファのサイズを格納する領域を設け、CPU5は初期値を設定する。

【0040】更に、この領域には、個々の受信バッファ・メモリ領域には、未使用ポインタ領域の残数がそこに到達した際に警告をあげる未使用ポインタ領域残数の警告レベルを設定する。

【0041】受信バッファ・メモリ1の場合には、セル

・レートが高速である故、警告レベルも十分に余裕を持って設定する。

【0042】本実施例では、ATMコントローラ3は、相手局2との間にはA、B、Cの3チャンネルの接続を張っている。本来、自局と相手局2の間では全2重通信が行われ、送受信のチャンネルが張られるべきであるが、本発明は受信に関するものであるため、送信側の処理に関する図および説明は省略する。

【0043】チャンネルAのセルは、単位時間当たり多くのセルが送信されてくるため、セル・レートが比較的速いチャンネルを意味し、続いてチャンネルBは中段、チャンネルCは低速となる。

【0044】自局のATMコントローラ3は、セルを受信すると、一旦内蔵するFIFO3-1に格納する。

【0045】FIFO3-1に格納されたセルは、そのヘッダ部に持つVPI/VC Iフィールドと、ATMコントローラ3が備えるヘッダ・テーブル3-2の内容と照合され、一致するVPI/VC Iが存在するか否かチェックされる。

【0046】一致するヘッダが無かった場合、新規チャンネルのセルが着信したものと判断し、ヘッダ・テーブル3-2にVPI/VC I値を設定する。このとき、着信した時点での、タイマ3-3の値と一緒に格納する。

【0047】ATMコントローラ4が内蔵するタイマ3-3は、随時カウント・アップしているカウンタであり、セル間隔を測るための時計の役目を果たす。

【0048】ヘッダ・テーブル3-2に、既に同じVPI/VC Iが存在していた場合、再度、タイマ3-3のカウント値を参照し前値と比較することで、そのチャンネルのセル・レートを知ることができる。

【0049】ATMコントローラ3は、セルの間隔時間に応じてそれに対応する受信バッファ・メモリを選択する。

【0050】たとえば、観測したセル間隔が、タイマ3-3のカウント値で「50」であった場合、ATMコントローラ3は、テーブル・メモリの一番若いアドレスにポインタが納められている受信バッファ・メモリ1を選択し、タイマ3-3のカウント値が「100」であった場合には、2番目に位置する受信バッファ・メモリを、タイマ3-3のカウント値が「150」以上であった場合には、受信バッファ・メモリ3のポインタ領域アドレスを得る。

【0051】この際のセル間隔値とメモリ・アドレスとの対応付けは、任意に設定できる手段も提供することができる。

【0052】また、着信するセル・レートが、時間と共に変化しない固定速度であれば、1セル目を2セル目の間隔を測ることで、セル・レートを知りことができるが、可変速度の場合、複数セルの間隔を測る必要がある。

【0053】この場合、いくつまでのセルの間隔を測り統計をとるなどの手段も考え得るが、その間受信バッファ・メモリへ転送できないため、ATMコントローラ3が内蔵するFIFOを大きくする必要がある。

【0054】更に、セル・レートを観測する手段として、例えば特開平8-191309号公報などに記載されるように、定められた観測期間内で、ピーク・セル速度と、平均セル速度を求める手段等が参照される。この方式を適用することもできる。

【0055】チャンネルAのセルが着信し、その1セル目と2セル目の間隔が、タイマ3-3のカウンタ値では「50」以下であったため、ATMコントローラは、テーブル・メモリから受信バッファ・メモリ1のポインタ領域のアドレスをリードする。

【0056】次にポインタ領域のアドレスに格納されている最初のデータ・バッファのアドレスをリードする。そして、データ・バッファにチャンネルAのセル・データを転送する。

【0057】セルが着信してデータ・バッファに転送する度に、テーブル・メモリにある受信バッファ・メモリのステータスのデータ・バッファ・サイズを転送バイト分デクリメントする。データ・バッファの空きが「0」に到達したときは、ポインタ領域から新しいデータ・バッファのアドレスを取得する。

【0058】1つのポインタ領域が指す全てのデータ・バッファを使い果たすと、リンク・ポインタが指し示す次のポインタ領域を使用する。その際、テーブル・メモリ4にある受信バッファ・メモリ1のポインタ領域の残量数をデクリメントする。そして、ポインタ領域の残量数をデクリメントするとき、予め設定されていた警告数と比較し、一致した場合には、割り込み信号を通じてCPU5に通知する。

【0059】CPU5は、ATMコントローラ3からの通知を受けると、その受信バッファ・メモリ6でチェーンを構成するポインタ領域の最後に新たなポインタ領域を追加し、更にテーブル・メモリ4のポインタ領域残量

をインクリメントしてメモリを補充する。

【0060】チャンネルB、チャンネルCにおいても、上記流れ同様に、セル・レートに応じて受信バッファ・メモリを選択する。中速であるチャンネルBは受信バッファ・メモリ2にチャンネルCは受信バッファ・メモリ3に転送される。

【0061】

【発明の効果】以上説明したように、本発明によれば、ATMコントローラがチャンネルのセル・レートに応じて、適した受信バッファ・メモリを自動でダイナミックに選択することができる。このため、頻繁に補充が発生する受信バッファを減らすことができ、それはチャンネルのセル・レートに依存してCPUのソフトウェアが急務になることを避けることになり、アンダーランを引き起こす頻度を低減できる。

【0062】この結果、本発明によれば、装置全体のパフォーマンス・アップに貢献し、また、限られたメモリ資源をチャンネルに応じて有効に活用できることになる。

【図面の簡単な説明】

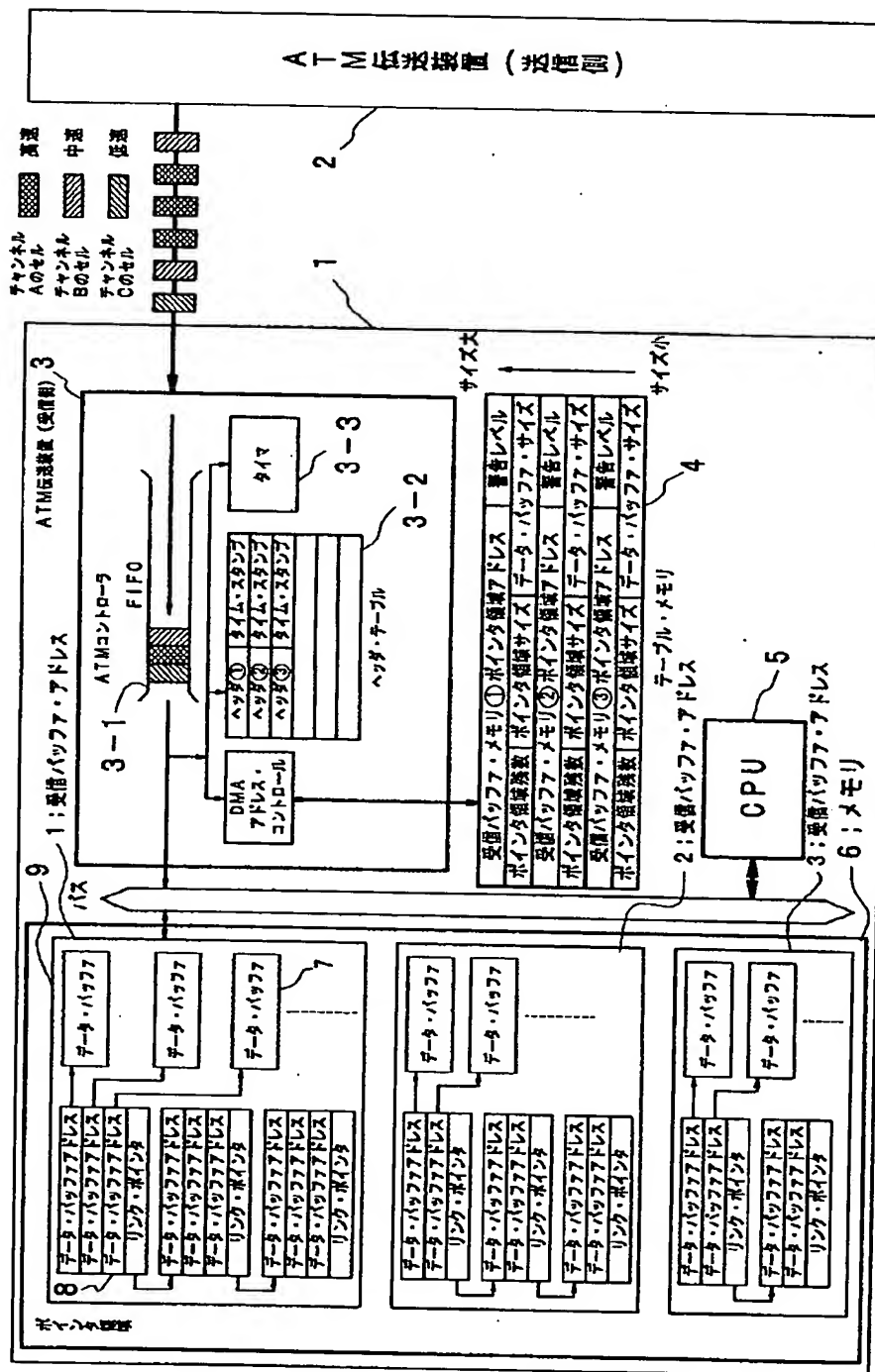
【図1】本発明の一実施例のATMコントローラを実装したATM伝送装置である。

【図2】従来技術を説明するための図である。

【符号の説明】

- 1 ATM伝送装置（受信側）
- 2 ATM伝送装置（送信側）
- 3 ATMコントローラ
- 3-1 受信FIFO
- 3-2 ヘッダテーブル
- 3-3 タイマ
- 4 テーブル・メモリ
- 5 CPU
- 6 メモリ
- 7 データ・バッファ
- 8 ポインタ領域
- 9 受信バッファ・アドレス

【図 1】



【図2】

